

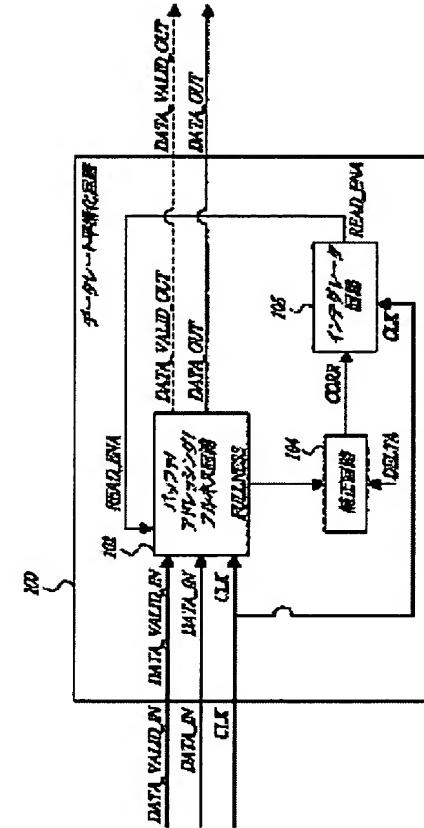
METHOD AND APPARATUS FOR SMOOTHING DATA RATE OF DIGITAL DATA STREAM

Patent number: JP2003110537
Publication date: 2003-04-11
Inventor: KOSLOV JOSHUA L
Applicant: HITACHI LTD
Classification:
 - International: H04L7/00
 - european:
Application number: JP20020179696 20020620
Priority number(s): US20010886590 20010621

[Report a data error here](#)

Abstract of JP2003110537

PROBLEM TO BE SOLVED: To provide a method and an apparatus for implementing a data rate smoothing circuit without using an analog circuit system, for example, in a digital domain. **SOLUTION:** In the method and the device for completely implementing a digital data rate smoothing device, when data arrive, they are written in a buffer memory at unexpected intervals, for example. Next, the data are read out at relative even intervals, so that a data stream having a smoothed data rate can be prepared from an input data stream having a variable short-term data rate. By using a dual port memory as a data buffer, a numerical integrator is used to be presented as a function of the input data rate corresponding to a degree of buffer fullness, for example, and by using a relatively straight read/write/buffer address generation circuitry, a smoothed data stream such as a data stream having a fixed or almost fixed bit rate, for example, can be generated from a data stream having a variable short-term bit rate by this apparatus.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-110537
(P2003-110537A)

(43)公開日 平成15年4月11日 (2003.4.11)

(51)Int.Cl.
H 04 L 7/00

識別記号

F I
H 04 L 7/00

テマコード(参考)
A 5 K 04 7

審査請求 未請求 請求項の数24 OL 外国語出願 (全36頁)

(21)出願番号 特願2002-179696(P2002-179696)
(22)出願日 平成14年6月20日(2002.6.20)
(31)優先権主張番号 09/886590
(32)優先日 平成13年6月21日(2001.6.21)
(33)優先権主張国 米国(US)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 ジョシュア・エル・コスロフ
アメリカ合衆国、ニュージャージー州
08525、ホーブウェル、フェアウェイ・ド
ライブ 10
(74)代理人 100080001
弁理士 筒井 大和
F ターム(参考) 5K047 AA15 CC45 CC52 LL01 LL09
MM24 MM56

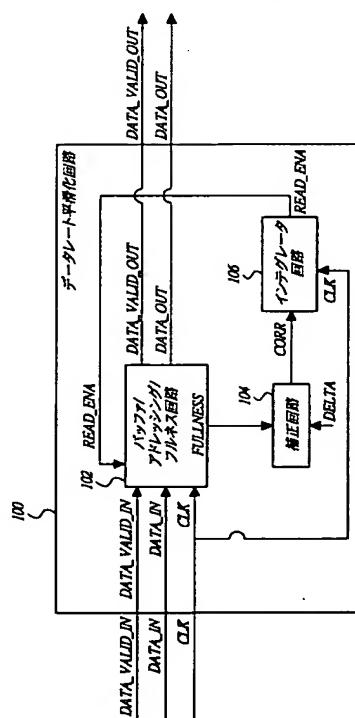
(54)【発明の名称】 デジタルデータストリームのデータレート平滑化方法およびそのデータレート平滑化装置

(57)【要約】

【課題】 デジタルドメイン内で、例えばアナログ回路系を使用せずに、データレート平滑化回路を実行する方法及び装置の必要性がある。

【解決手段】 デジタルデータレート平滑化デバイスを完全に実行する方法及び装置が記載される。データが、到着すると、例えば予期せぬ間隔で、バッファメモリに書き込まれる。次に、データは相対的に偶数間隔で読み出され、それにより平滑データレートを有するデータストリームが、可変ショートタームデータレートを有する入力データストリームから作り出される。データバッファとしてデュアルポートメモリを使い、出力データレートを制御するように数値インテグレータを入力データレートの関数として、例えばバッファフルネスの度合いによって示されるように使い、相対的に真っ直ぐに読み出し/書き込み/バッファアドレス生成回路系を使うことで、本発明の装置が可変ショートタームビットレートを有するデータストリームから、平滑化データストリーム、例えば一定又は略一定のビットレートを有するデータストリームを生成できる。

図



【特許請求の範囲】

【請求項1】 可変ショートタームデータレートと平均データレートとを有し、異なる期間の間に前記可変ショートタームデータレートが前記平均データレートと異なるデジタルデータストリームを処理する装置であつて、同時の書き込みおよび読み出し動作をサポート可能なマルチポートメモリと、
前記デジタルデータストリームから受け取られたデータを、それが受け取られた時に前記マルチポートメモリの中に書き込むのを制御する書き込み制御回路と、
前記書き込みデータレートより前記平均データレートに近い読み出しレートで前記マルチポートメモリからデータを読み出すのを制御する読み出し制御回路とを備えることを特徴とするデジタルデータストリームの処理装置。

【請求項2】 請求項1に記載の装置において、前記書き込み制御回路が、前記デジタルデータストリームからのデータの受け取りに応答して、メモリ書き込みアドレスを生成する書き込みアドレスカウンタを備えることを特徴とするデジタルデータストリームの処理装置。

【請求項3】 請求項1に記載の装置において、前記マルチポートメモリがデュアルポートメモリであり、前記読み出し制御回路が、メモリフルネスの閾値として読み出しイネーブル信号を生成する数値インテグレータを備えることを特徴とするデジタルデータストリームの処理装置。

【請求項4】 請求項3に記載の装置において、前記読み出し制御回路が、読み出しレート補正信号を前記数値インテグレータに供給する補正回路をさらに備え、前記読み出しレート補正信号が、メモリフルネス情報と、データがメモリから読み出されるレートに調節するのに使用されるデルタ値との閾値として生成されることを特徴とするデジタルデータストリームの処理装置。

【請求項5】 請求項4に記載の装置において、前記読み出し制御回路は、前記読み出しイネーブル信号に応答して、読み出しアドレスを生成する読み出しアドレス発振器をさらに備えることを特徴とするデジタルデータストリームの処理装置。

【請求項6】 請求項5に記載の装置において、前記読み出しアドレス発振器がモジュロとしてのカウンタであることを特徴とするデジタルデータストリームの処理装置。

【請求項7】 請求項5に記載の装置において、有効データが前記メモリによって出力され続けていることを示す信号を出力する遅延要素をさらに備え、前記読み出しイネーブル信号が受け取られた後の1クロックサイクルで、有効データが出力され続けていることを示す前記信号として、前記遅延要素が前記読み出し

ネーブル信号を受け取ると共に、受け取られた前記信号を出力することを特徴とするデジタルデータストリームの処理装置。

【請求項8】 請求項5に記載の装置において、前記デュアルポートメモリは、前記デジタルデータストリームからのデータが前記デュアルポートメモリのデータ入力にいつ供給され続けるのかを示す信号を受け取るための書き込みイネーブル入力を備えることを特徴とするデジタルデータストリームの処理装置。

【請求項9】 請求項8に記載の装置において、前記書き込みアドレスカウンタは、前記デジタルデータストリームからのデータがいつ供給され続けるのかを示す前記信号を受け取るための入力を備え、前記デジタルデータストリームからのデータがいつ供給され続けるのかを示す前記信号がアサートされる各クロックサイクルの間に一度、書き込みアドレス発振器が、前記書き込みアドレスカウンタ内に格納された書き込みアドレス値をインクリメントすることを特徴とするデジタルデータストリームの処理装置。

【請求項10】 請求項4に記載の装置において、前記読み出し制御回路が、選択された時間間隔で、メモリフルネスの最小量および最大量を示す最小および最大バッファフルネス値を決定する手段を備えることを特徴とするデジタルデータストリームの処理装置。

【請求項11】 不均一間隔デジタルデータユニットのストリームを処理して、不均一間隔データユニットの前記ストリームより、デジタルデータユニット間に多くの均一間隔を備えたデジタルデータユニットの処理されるストリームを作り出す方法であつて、

30 不均一間隔デジタルデータユニットの前記ストリームからデジタルデータユニットを受け取る工程と、前記デジタルデータユニットが受け取られるレートで、同時の読み出しおよび書き込み動作をサポートするマルチポートメモリに、受け取られた前記デジタルデータユニットを書き込む工程と、データが前記マルチポートメモリに書き込まれる時間間隔より平均して多くの均一時間間隔で、前記マルチポートメモリからデータユニットを読み出し、前記マルチポートメモリから読み出された前記データが、デジタルデータユニットの前記処理されたストリームを形成する工程とを有することを特徴とするストリーム処理方法。

【請求項12】 請求項11に記載の方法において、1つのデータユニットが不均一間隔デジタルデータユニットの前記ストリームから受け取られるたびに、メモリ書き込みアドレスを生成するために使用される書き込みアドレスカウンタをインクリメントする工程をさらに有することを特徴とするストリーム処理方法。

【請求項13】 請求項11に記載の方法において、前記マルチポートメモリ内に格納されたデータ量のインディケータを生成する工程と、

前記マルチポートメモリ内に格納されるように指示されるデータ量の関数としてメモリ読み出しつィーブル信号を生成する工程とをさらに有することを特徴とするストリーム処理方法。

【請求項14】 請求項13に記載の方法において、前記インディケータが、メモリフルネスの度合いを示すことを特徴とするストリーム処理方法。

【請求項15】 請求項13に記載の方法において、生成するメモリ読み出しつィーブル信号が、前記インディケータの関数として前記メモリ読み出しつィーブル信号を作り出すための数値インテグレータを動作させることを含むことを特徴とするストリーム処理方法。

【請求項16】 請求項15に記載の方法において、生成するメモリ読み出しつィーブル信号が、一定時間のうち少なくとも1つの時間間隔で生じるようにメモリフルネスの最小量を決定することをさらに含むことを特徴とするストリーム処理方法。

【請求項17】 請求項16に記載の方法において、生成するメモリ読み出しつィーブル信号が、一定時間のうち少なくとも1つの時間間隔で生じるようにメモリフルネスの最大量を決定することをさらに含むことを特徴とするストリーム処理方法。

【請求項18】 請求項17に記載の方法において、メモリフルネスの前記最大量、および、メモリフルネスの前記最小量と前記インディケータとを比較する関数として、メモリ読み出しつィーブル信号が前記数値インテグレータによって生成されるレートを調節する工程をさらに有することを特徴とするストリーム処理方法。

【請求項19】 請求項13に記載の方法において、有効データが前記マルチポートメモリから出力され続けていることを示す信号を、前記メモリ読み出しつィーブル信号の少なくとも1つから生成する工程をさらに有することを特徴とするストリーム処理方法。

【請求項20】 請求項19に記載の方法において、1つのデータユニットが不均一間隔デジタルデータユニットの前記ストリームから受け取られるたびに、デュアルポートメモリ内にデータを書き込み可能な前記マルチポートメモリの書き込みイネーブル入力に、信号を供給する工程をさらに有することを特徴とするストリーム処理方法。

【請求項21】 請求項20に記載の方法において、各デジタルデータユニットが同一のビット固定数を含み、前記ビット数が1より大きいことを特徴とするストリーム処理方法。

【請求項22】 不均一間隔デジタルデータユニットのストリームを処理して、不均一間隔デジタルデータユニットの前記ストリームより、デジタルデータユニット間の大きな均一間隔を備えたデジタルデータユニットの処理されるストリームを作り出すシステムであって、同一時間で読み出し動作と書き込み動作との両方をサポ

ート可能な記憶装置と、

不均一間隔デジタルデータユニットの前記ストリームから受け取られるデジタルデータユニットを前記記憶装置内に書き込む手段と、

データが前記記憶装置内に書き込まれる時間間隔より平均して大きな均一時間間隔でデュアルポートメモリからデータユニットを読み出し、前記記憶装置から読み出された前記データがデジタルデータユニットの前記処理されたストリームを形成する手段とを備えることを特徴とするストリーム処理システム。

【請求項23】 請求項22に記載のシステムにおいて、

前記記憶装置内に格納されるデータ量を決定する手段と、

前記記憶装置内に格納されるデータ量の関数としてメモリ読み出しつィーブル信号を生成する手段とをさらに備えることを特徴とするストリーム処理システム。

【請求項24】 請求項22に記載のシステムにおいて、

1つのデータユニットが、不均一間隔デジタルデータユニットの前記ストリームから受け取られるたびに、メモリ書き込みアドレスを生成するために使用される書き込みアドレスカウンタをインクリメントする手段をさらに備えることを特徴とするストリーム処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタルデータを処理する方法および装置に関し、更に詳細には、デジタルデータストリームのデータレート、すなわち、固定平均データレートを有するが可変ショートタームデータレートを持たないデータストリームのデータレートを平滑化する方法および装置に関する。

【0002】

【従来の技術】 デジタル通信およびデジタル信号処理の現代世界では、データは頻繁にデジタルデータストリームとして伝送される。多くの場合には、デジタルデータストリームのデータレートは平均して相対的に一定である。しかしながら、異なった処理レートのため、または、データストリームを処理および/または生成するために使用される様々な回路のスタッター化された出力のため、データストリームのショートタームまたは瞬間データレートが、次から次へと著しく変化することもある。

【0003】 たとえば、エラー補正回路のような回路は、クロックイネーブルまたはフレーミング構造などのため、スタッター化された型でデータを出力することもある。エラー補正回路によって出力されるデータストリームを処理するために使用される次の回路は、たとえばメディアアクセスコントローラは、均一または一定レートでのデータバイトがタイミング基準をサポートするだ

ろうと期待することもある。

【0004】

【発明が解決しようとする課題】スタッタ化されたデータが回路によって出力され続いている時に、データたとえばバイトは多くのクロックサイクルのために出力されないこともあります、それから、データは、次の回路によって処理するための非常に速いレートで指示されることがあります。これにより、データレートが平均して次の回路にとって正しいこともあります、および、ある期間に渡って一定であるにもかかわらず問題の原因となることがあります。

【0005】上述の議論を考慮して、明らかなことは、可変ショートタームデータレートを有するデジタルデータレートを、相対的に平滑なデータレートに、たとえば、ショートのみならずロングタームデータレートを有するデータストリームに変えるために使用できる方法および装置の必要性があることである。そのショートのみならずロングタームデータレートは本来のレートデータストリームの平均的なデータレートに等しいまたは近い。

【0006】集積回路を使ってデータレート平滑化装置の実行を容易にするために、フェーズロックループ(PLL)回路のようなアナログ回路系を避けることが望ましい。

【0007】従って、デジタルドメイン内で、たとえば、アナログ回路系を使用せずに、データレート平滑化回路を実行する方法および装置の必要性がある。

【0008】

【課題を解決するための手段】本発明は、デジタルデータストリームのデータレート、たとえば、固定平均データレートを有するが可変ショートタームデータレートを持たないデータストリームのデータレートを平滑化する方法および装置に向けられている。

【0009】本発明によれば、データは、たとえばバイトまたはワードユニット内で受け取られたかのように、バッファとして使用される記憶装置内に、たとえばデュアルポートメモリ内に格納される。それから、格納されたデータは、相対的に偶数間隔で読み出され、それによって、平滑化データレートを有するデータストリームが可変レート入力データストリームから作り出される。

【0010】1つの典型的な態様では、データは、たとえばバイトまたはワードは、到着するにつれ、バッファメモリ内に書き込まれる。数値インテグレータを使って正しい平均レートで読み出しイネーブルを作り出す。その正しい平均レートは、ある期間に渡って、たとえば、1回以上の固定時間間隔で、バッファ内のデータ量によって明示されるように、入力データストリームのレートを観測することにより決定されることもある。バッファ出力データレートとして平均データレートを作り出すのに必要とされる読み出しイネーブルの正確な平均間隔

を、数値インテグレータと一緒に作り出すことは、たとえば、数値精度限界のため難しい。1つの顕著な態様では、補正回路を使って、読み出し処理を周期的にスピードアップまたはスローダウンして平均的なデータレートに、出力されたデータレートを持って来て、または、平均的なデータレートに近づける。

【0011】データバッファとしてデュアルポートメモリを使い、入力されたデータレートの関数として、たとえば、バッファフルネスの度合いで示されるように、入力されたデータレートを制御する数値インテグレータを使い、および、相対的に直接の読み出し/書き込みバッファアドレス生成回路系を使うことにより、本発明の装置は、可変ショートタームデータレートを有するが固定または相対的に一定のロングタームデータレートを持たないデータストリームから、平滑化されたデータストリーム、たとえば、一定または略一定のデータレートを備えたデータストリームを生成することができる。

【0012】本発明の方法および装置における付加的な特徴、態様、および利点は以下詳細に説明されるだろう。

【0013】

【発明の実施の形態】本発明は、データレート平滑化動作を実行するための方法および装置に関する。

【0014】図1は、本発明に従って実行される典型的なデータレート平滑化回路100を示す。平滑化回路100は、バッファ/アドレッシング/フルネス(BAF)回路102、数値インテグレータ回路106、および、補正回路104から成り、それらは、図1で示されるように、結合されている。

【0015】データは、不均一間隔であるが、予測され、固定され、または、大体固定された平均的なレートで、平滑化回路のBAF回路102におけるDATA_IN入力に供給される。このテキストでは、フレーズ平均レートは、予め選択された期間に渡って、たとえば、ショートタームデータレート内の短時間の相違が殆ど平均して測定時間間隔に及ぶのに十分である幾秒で、測定されたデータレートを調べる。平滑化回路100を使って、伝送されたデータのユニット間で時間間隔を取ることを平滑化、たとえば平均化して、それにより、固定または殆ど固定されたデータレートを有する出力データストリームを生成する。固定または殆ど固定された出力データレートは、普通では、入力されたデータストリームの平均データレートと同じまたは殆ど同じである。

【0016】BAF回路102は、その内部に含まれるバッファ内で、受け取られたデータをバッファリングし、受け取られたデータをバッファ内に格納するために使用される書き込みアドレスと、格納されたデータをバッファから読み出すために使用される読み出しアドレスとを生成する。また、BAF回路102は、バッファ内のデータ量を監視してバッファフルネスを決定する。B

A F回路102は、DATA_VALID_IN入力、DATA_IN入力、クロックCLK入力、および、読み出しつイネーブルREAD_ENA信号入力を含んでいる。また、それはDATA_VALID_OUT出力、DATA_OUT出力、および、FULLNESS出力を含んでいる。CLK信号は、様々なデータレート平滑化回路の構成要素102、104、106と、これらの構成要素内に含まれる回路系とを駆動するために使用されるタイミング信号である。DATA_IN入力に供給されるデータがいつ有効であるかを示す信号を受け取るために、DATA_VALID_IN入力は使用される。READ_ENA信号は、インテグレータ回路106によって生成される読み出しつイネーブル信号である。そのインテグレータ回路106を使って正確な方法でBAF回路102からの出力データの読み出しを制御する。FULLNESS信号は、BAF回路のバッファのフルネスを示し、補正回路104に供給され、READ_ENA信号がいつアサートされるかを決定する際に使用される。従って、生成された読み出しつイネーブル信号は、バッファフルネス単位の関数である。

【0017】BAF回路のバッファから読み出されるデータは、データレート平滑化回路100のデータ出力にも使えるDATA_OUT出力を介して出力される。有効なデータがDATA_OUT出力を介していつ出力され続けているかの表示を提供するために、BAF回路102は、出力されたDATA_OUTが有効なデータである時にアサートされるDATA_VALID_OUT信号を生成する。

【0018】以下に詳述されるように、データたとえばバイトは、到着すると、BAF回路のバッファメモリ内に書き込まれる。数値インテグレータ回路106を使って補正平均レートで読み出しつイネーブル、たとえば信号READ_ENAを作り出す。読み出しつイネーブルの正確な平均間隔を、数値インテグレータを使って作り出すことが難しいこともあるため、たとえば、限界を設けられた数値精度のため、補正回路104を使って、たとえば、固定入力値DELT Aの形式で表示される量まで、読み出し処理を周期的にスピードアップまたはスローダウンする。

【0019】図2では、典型的なBAF回路102が図示されている。BAF回路102は、マルチポートたとえばデュアルポートメモリ202と、読み出しおよび書き込みアドレス発振器、たとえば、それぞれの読み出しおよび書き込みアドレスカウンタ208、204と、瞬間的なバッファフルネスを計算するための回路系とから成る。バッファフルネスを計算するための図示された回路系は、第1および第2加算機210、212と、コンパレータ216と、マルチブレクサ(MUX)214とから成る。また、BAF回路102は、信号を同調するために利用される1つ以上の遅延要素を含むこともある。図2における実施の形態では、遅延216を使ってBAF回路102に到着する読み出しつイネーブル信号READ_ENAを同調させて、読み出しつイネーブル信号がアサ

ートされた後の1クロックサイクルで、アサートされたDATA_VALID_OUT信号を作り出す。こうして、DATA_VALID_OUT信号が、バッファメモリ202からのデータの読み出しと調和するように、アサートされる。

【0020】読み出しつイネーブル信号READ_ENAと書き込みアドレス発振器208と書き込みアドレス発振器204とは類似の回路である。それは、バッファサイズをモジュロとして順次カウントするインクリメンタまたはカウンタである。すなわち、バッファ202を実行するために使用されるメモリがBUFSIZE位置を含む場合には、カウンタは、たとえば、ゼロから(BUFSIZE-1)までカウントする；

(BUFSIZE-1)に達すると、それから、カウンタはゼロにリセットされ、そこからインクリメントし続ける。書き込みおよび読み出しつイネーブル信号READ_ENAは、関連されるインクリメンタがアサートされる各クロックサイクルの間にインクリメントされる。こうして、DATA_VALID_IN入力信号の形式で書き込みアドレスカウンタ204はインクリメントされる。読み出しつイネーブル信号READ_ENAがアサートされる場合には、書き込みアドレスカウンタ208はインクリメントされる。このような方法で、順次、データが、メモリ202内のロケーションに書き込まれ、または、ロケーションから読み出される。デュアルポートメモリ202が使用されるから、データは同時にメモリに書き込まれ、または、メモリから読み出されることもある。

【0021】信号FULLNESSの形式で、瞬間的なバッファフルネス指示値が、書き込みアドレスWADRから、読み出しつイネーブル信号READ_ENAと書き込みアドレスRADRを引き算することにより、計算される。この引き算は、バッファ(メモリ202)サイズBUFSIZEをモジュロとして実行される。信号FULLNESSは、メモリ202内のデータ量のインディケータに使える。

【0022】値FULLNESSを発生させるためのモジュロとしての引き算は、図2で示され、第1および第2加算器210、212、コンパレータ216、および、MUX214を使って実行される。第1加算器210は、第1入力に供給される値WADRから、加算器210のうち引き算する入力に供給される値RADRを引くことにより、WADRとRADRとの差を計算する。第1加算器210によって生成された差(WADR-RADR)が、第2加算器212の第1入力と、コンパレータ216のA入力と、MUX214の第2入力0とに供給される。第2加算器212は、設定されるバッファサイズに対して、たとえば、メモリ202のサイズが固定される時に、差(WADR-RADR)を合計する。第2加算器212の出力は、MUX214の第1入力1に供給される。

【0023】差(WADR-RADR)がゼロより大きいまたはゼロに等しい時に、コンパレータ216の出力

(A < B) がデアサートされ、入力値FULLNESSとして使用される差 (WADR-RADR) である入力ゼロをマルチプレクサ214が選択する。差 (WADR-RADR) がゼロより小である時に、コンパレータ216の出力 (A < B) がアサートされ、出力値FULLNESSとして使用される差 (WADR-RADR + BUFSIZE) である入力1をマルチプレクサ214が選択する。上述の方法では、計算されるFULLNESSがゼロと (BUFSIZE-1) との間で抑制される。

【0024】図1のデータレート平滑化回路100での使用に適切である典型的な数値インテグレータ回路106が、図3で示されている。インテグレータ回路106は、レジスタ312と、モジュロとしての加算器301とから成る。レジスタ312は、モジュロとしての加算器の結果を格納するため、および、モジュロとしての加算器301の入力に戻って結果を供給するために使用される。

【0025】モジュロとして加算器301は、第1加算器302、第2加算器304、第3加算器306、コンパレータ308、および、マルチプレクサ310を含んでいる。第1加算器302は、レジスタ312から得られるモジュロとしての加算器の以前の出力値に、各クロックサイクルで固定インクリメント (INC) が各クロックサイクルで加算されるが、積分され、たとえば蓄えられた合計が、あるしきい値、たとえば、予め選択されたしきい値TIME_MODULUSを越えると、しきい値TIME_MODULUSが引き算されるので、積分される結果は、定義された範囲内に存在するように制御される。インテグレータ106を高めるために、第2加算器304は、第1加算器302に従うモジュロとしての加算器301内に組み入れられている。第2加算器304は、その入力として、第1加算器302の出力と、信号CORRの形式で補正值とを受け取る。その補正值は正または負の値を表示できる。補正回路104によって供給される補正信号CORRは、第2加算器304によって、第1加算器302で作り出されて蓄積された合計に加えられる。このような方法で、新しく蓄積された合計、すなわち補正蓄積合計が生成される。こうして、CORR信号を使って、モジュロとしての動作に被らされる蓄積合計を変更できる。従って、補正信号CORRを使ってインテグレータ106により実行される積分をスピードアップまたはスローダウンすることができ、それ故に、読み出しいネーブルの出力を調整できる。第2加算器304によって作り出される合計は、コンパレータ308の第1(A)入力と、TIME_MODULUSしきい値が加算器306の引き算入力に供給されている間に第3加算器306の加算入力と、コンパレータ308の第2(B)入力とに供給される。

【0026】第3加算器306を使って、第2加算器3

04により出力された蓄積合計から、しきい値TIME_MODULUSを引く。その第2(0)入力で第2加算器304の出力を受け取るMUX310の第1(1)入力に、その結果の値が供給される。

【0027】コンパレータ308は、第2加算器304により出力される蓄積合計を、しきい値TIME_MODULUSと比較し、合計がそのしきい値を越える時に、その出力信号をアサートする。コンパレータ308の出力は、BAF回路102に供給されるREAD_ENA信号と、MUX310の選択入力SELとの両方として使用される。第3加算器306の出力、または、第2加算器304の出力が、次の蓄積合計を生成する際に使用するためのレジスタ312内に格納されているかを、MUX310が決定する。

【0028】レジスタ312内に格納される可能蓄積値の範囲は、しきい値TIME_MODULUSにより制限される。しきい値は、加算器306の引き算入力に固定値を供給することによって、たとえば実行時間で、設定されることもある。しきい値TIME_MODULUS用に選択された値は、典型的には、インテグレータ回路106内で使用され続ける記数法に関係する。しきい値TIME_MODULUSが超過される時に、読み出しいネーブル信号READ_ENAがアサートされる。たとえば、ひとたび平均出力レートが全て8クロックタイムになるならば、インクリメントは0.125になり、TIME_MODULUSは1.0になるので、8クロックのカチという音の後に(0のCORR値を仮定すれば)、インテグレータが1.0の値に達し、1.0の値は引き算され、読み出しいネーブルが作り出されるなどである。

【0029】補正信号CORRを生成するための第1の典型的な回路104は、図4で示されている。図示されるように、補正回路104は、第1および第2コンパレータ402, 404と、第1および第2マルチプレクサMUX406, 408とから成る。

【0030】補正信号CORRは、信号FULLNESSの形式で得られるバッファルネス情報に基づかれる。バッファルネスが第1しきい値T_LOWより下に低下する場合には、バッファがエンディオーバーすることを宣言し、読み出しいネーブルは、たとえば、負の補正信号を作り出すことにより、遅くされる。バッファルネスがT_HIGHを越える場合には、バッファが充填オーバーすることを宣言し、たとえば、正の補正信号を生成することにより、読み出しいネーブルを改善することが望まれる。バッファルネスがT_LOWより下に低下せず、または、T_HIGHを越えない場合には、ゼロ補正信号が作り出される。

【0031】FULLNESS信号は、第1コンパレータ402の第2(B)入力と、第2コンパレータ404の第1入力(A)とに供給される。信号FULLNESSの値によって示されるように、フルネスは、2セット、たとえば、予め選択されたしきい値:T_LOWおよびT_HIGHと比較され

る。第1コンパレータ402は、その第1(A)入力に供給される値T_LOWと、そのB入力に供給される値FULLNESSとを比較する。しきい値T_LOWが値FULLNESSを越える場合には、第1コンパレータ402は、第1MUX406の選択入力に供給される出力T00_EMPTYをアサートする。

【0032】補正回路104によって出力される補正信号CORRが、同時に動作する一対のマルチプレクサ406, 408により生成される。第2MUX408が実際のCORR信号を出力する。第1および第2マルチプレクサ406, 408への入力の結果として、CORR信号が、ゼロの値、正の値(DELTA)、または、負の値(-DELTA)のいずれかを仮定できる。CORR信号の生成は以下のように起こる。FULLNESSがT_LOWより小さい場合には、第1コンパレータ402の(A>B)入力T00_EMPTYがアサートされ、出力されるように設定された値-DELTAである入力1を第1マルチプレクサ406が選択し、ここにDELTAは正の値である。そうでなければ(たとえば、T00_EMPTYがアサートされない場合には)、ゼロである入力0を第1マルチプレクサ406が選択する。マルチプレクサ406が、第2マルチプレクサ408の第1(0)入力に供給される。FULLNESSがT_HIGHより大きい場合には、第2コンパレータ404の(A>B)入力T00_FULLがアサートされ、それにより、第2マルチプレクサ408が、出力される値DELTAである第2(1)入力を選択させられる。そうでなければ、たとえば、T00_FULLがアサートされない場合には、第2マルチプレクサ408は、第1マルチプレクサ406によって生成されるゼロまたは-DELTA値を、CORR信号出力として出力する。

【0033】図5は、補正回路104の代わりに、データレート平滑化回路100内で使用されることもある第2の典型的な補正回路500を示す。補正回路500内では、信号FULLNESSによって示されるように、バッファフルネスは、ある所定期間に渡って、たとえば、クロックサイクルの固定数で監視される。この期間の間に、バッファフルネスにおける全ての最小および最大の値が見付けられる。その期間の最後に、バッファフルネスの最小値がしきい値T_LOWと比較され、バッファフルネスの最大値がしきい値T_HIGHと比較され、図4の実施の形態の中で補正信号CORRを作り出すために使用されたのと同様な方法で、比較に基づいて補正信号CORRが生成される。

【0034】補正回路500は、RESET信号発振回路501、補正值生成回路510、MIN/MAXフルネスレベル生成回路511、および、第7マルチプレクサ514から成る。RESET信号生成回路501は、MIN/MAXフルネス回路511と第7MUX514とを制御するために使用されるRESET信号を周期的に生成、たとえばアサートする。RESET信号生成回路501は、

データレート平滑化回路の様々な構成要素内でタイミングを制御するために使用されるクロック信号CLKによって駆動され、そして、RESET信号の周期的なアサートを引き起こす単純なカウンタを使って実行されることがある。

【0035】補正值生成回路510は、構成要素を含み、たとえば、同一構成要素を構成して補正回路104を実行する方法と同一または類似の方法で配列された第1および第2マルチプレクサ406, 408と、第1および第2コンパレータ402, 404とを含んでいる。なお、しかしながら、MIN_FULLNESS信号が第1コンパレータ402の第2入力に供給され、MAX_FULLNESS信号が第2コンパレータ404の第1入力に供給されている。それらは、図4の実施の形態の中で、これらの入力の両方に供給される単一のFULLNESS信号と異なっている。後述されるように、MIN/MAXフルネスレベル生成回路511は、補正值生成回路510に供給されるMIN_FULLNESSおよびMAX_FULLNESS信号を生成するための原因となる。

【0036】補正回路500のリセットをサポートするために、たとえば、RESET信号への応答で、第7マルチプレクサ514を使って補正值生成回路510の出力を補正回路500のCORR信号出力に結合する。第7MUX514の第1(0)入力がその入力として値ゼロを受け取り、そして一方、MUX514の第2入力が、補正值生成回路の第2マルチプレクサ408によって生成される補正值信号を受け取る。リセットされた信号がアサートされる時に、第7MUX514が補正值生成回路510によって生成される補正值を出し、そして一方、他の時に、それが、MUXの第1入力に供給される値0を出力する。このような方法で、CORR信号は、各分析期間の最後だけ、たとえば、RESET信号がアサートされた時の単一クロックサイクルの間で、ノンゼロ値を仮定可能となる。

【0037】MIN/MAXフルネスレベル生成回路501は、4つのMUX、すなわちMUX3(502)、MUX4(504)、MUX5(506)、および、MUX6(508)と、2つのレジスタ520, 522と、2つのコンパレータ524, 526とを含み、それらは、図5で示されるように、結合されている。2つのレジスタ520, 522を使って、各所定分析期間の間に、決定された最小および最大バッファフルネスをそれぞれ格納する。こうして、その期間の最初に、これら2つのレジスタ520, 522は、マルチプレクサ3(502)およびマルチプレクサ4(504)を介して初期の瞬間的なフルネスを含むように、共にリセットされる。これらのマルチプレクサ502, 504は、周期的なRESET信号により高く設定された選択信号SELを有する。周期的なRESET信号によって、マルチプレクサ502, 504が、第1および第2レジスタ520, 5

22に出力される最近のバッファフルネスFULLNESSを選択させられる。評価期間のリセットの間に、第3および第4マルチプレクサ502, 504は、第1および第2レジスタ520, 522に供給される第5および第6マルチプレクサ506, 508の出力をそれぞれ選択する。

【0038】第1レジスタ520の出力、すなわち、最小フルネスMIN_FULLNESSが、第3コンパレータ524によって最近のFULLNESSと比較される。最近のフルネスがMIN_FULLNESSより小さい場合には、第3コンパレータ524の(A>B)出力がアサートされ、それにより、第5マルチプレクサ506がその出力として最近のフルネスFULLNESSを選択させられる。これにより、最近のフルネス値が、レジスタ520内に格納された次のMIN_FULLNESSにならされる。最近のフルネスがMIN_FULLNESSより大きいまたは等しい場合には、第3コンパレータ524の(A>B)出力がデアサートされ、それによって第5マルチプレクサ506が、その出力として、第1レジスタ520によって出力されるMIN_FULLNESSを選択させられる。そのような場合には、最近のMIN_FULNESS値は次のMIN_FULLNESSになる。

【0039】第2レジスタ522の出力、すなわち最大フルネス値MAX_FULLNESSが、第4コンパレータ526によって最近のFULLNESSと比較される。最近のフルネスがMAX_FULLNESSより大きい場合には、第4コンパレータ526の(A>B)出力がアサートされ、それによって第6マルチプレクサ508がその出力として最近のフルネス値FULLNESSを選択させられる。そのような場合には、最近のFULLNESS値は次のMAX_FULLNESSになる。最近のフルネスがMAX_FULLNESSより小さいまたは等しい場合には、第4コンパレータ526の(A>B)の出力がデアサートされ、それによって、第6マルチプレクサ508がその入力としてMAX_FULLNESS値を選択させられる。そのような場合には、最近のMAX_FULLNESS値は次のMAX_FULLNESSになる。

【0040】評価期間の最後に、最大および最小フルネスレジスタは、補正值生成回路510の第1および第2コンパレータ402, 404を介してしきい値T_LOWおよびT_HIGHと比較される。これらの信号に依存して、ゼロ、負のデルタ、または、正のデルタは、第1および第2マルチプレクサ406, 408を介して、補正值として交換される。補正回路500の究極の出力を、すなわち信号CORRを制御する第7マルチプレクサ514は、デルタ(補正信号)が、多くとも評価期間ごとに1クロックタイムの間に、たとえば、評価期間の最後に、交換されることを確保している。他の時には、ゼロが、第7マルチプレクサ514によって交換され、出力信号CORRとして使用される。

【0041】本発明の方法および装置は、たとえば、ケーブルモデル集積回路を含めて幅広い様々な装置内で使

用可能である。ケーブルモデルでは、本発明のデータレート平滑化回路を使って、下流のデモジュレータの後端で前方エラー補正(FEC)回路から不均一間隔データバイト出力を処理でき、そして、たとえば、下流のレシーバのメディアアクセス制御(MAC)部によって、使用される均一間隔バイトをそれから作り出すことができる。

【0042】本発明のデータレート平滑化回路の様々な構成要素が、回路として実行されるように記載されたが、理解されることは、本発明のデータレート平滑化回路が、ソフトウェアと、回路100の様々な構成要素によって実行される読み出しおよび書き込みレート制御動作を、および、メモリアクセスを実行するための前記ソフトウェアを実行する汎用プロセッサとを使って、実行可能であることである。たとえば、CPUによって実行される補正ソフトウェアモジュールとインテグレータソフトウェアモジュールとを使って、補正回路104とインテグレータ回路106との機能をそれぞれ実行することもある。付加的なソフトウェアモジュールを使って、バッファ/アドレッシング/フルネス回路におけるアドレスおよびフルネス決定機能を実行することもある。従って、本発明の一実施の形態は、本発明のデータレート平滑化方法を実行するために、ソフトウェア、CPU、および、記憶装置たとえばデュアルポートメモリを使用するデータレート平滑化装置に向けられている。

【0043】発明が、メモリおよび他の回路系を含むメモリBAF回路102と、補正回路104と、インテグレータ回路106とを備えているように記載されたが、データレート平滑化回路100を実行するために使用される回路系は、個々の回路が実行する機能に従って回路要素のグループ分けが決定される様々な回路を含むように、記載されることがある。そのような場合には、書き込みアドレスカウンタ204のような書き込みアドレスの生成に寄与する回路は、書き込みアドレス回路の一部になるように特徴づけられたが、読み出しアドレスと読み出しつィーブル信号との生成、たとえば、読み出しアドレスカウンタ208、補正回路104、および、インテグレータ回路106の生成に寄与する回路系は、読み出し制御回路の一部になるように特徴づけられることもある。

【0044】

【発明の効果】本発明によれば、データは、たとえばバイトまたはワードユニット内で受け取られたかのように、バッファとして使用される記憶装置内に、たとえばデュアルポートメモリ内に格納される。それから、格納されたデータは、相対的に偶数間隔で読み出され、それによって、平滑化データレートを有するデータストリームが可変レート入力データストリームから作り出される。

【0045】データバッファとしてデュアルポートメモ

リを使い、入力されたデータレートの関数として、たとえば、バッファフルネスの度合いで示されるように、入力されたデータレートを制御する数値インテグレータを使い、および、相対的に直接の読み出し／書き込みバッファアドレス生成回路系を使うことにより、本発明の装置は、可変ショートタームデータレートを有するが固定または相対的に一定のロングタームデータレートを持たないデータストリームから、平滑化されたデータストリーム、たとえば、一定または略一定のデータレートを備えたデータストリームを生成することができる。

【図面の簡単な説明】

【図1】本発明の1つの典型的な実施の形態に従って実行されるデータレート平滑化回路を示す図である。

【図2】図1のデータレート平滑化回路内でバッファリングを実行し、アドレッシングを読み出し／書き込み、

および、フルネス決定動作をバッファリングするために使用され得る1つの典型的なバッファ／アドレス／フルネス回路を示す図である。

【図3】図1のデータレート平滑化回路内での使用に適切なインテグレータ回路を示す図である。

【図4】図1のデータレート平滑化回路内での使用に適切な第1の典型的な補正回路を示す図である。

【図5】図1のデータレート平滑化回路内での使用に適切な第2の典型的な補正回路を示す図である。

【符号の説明】

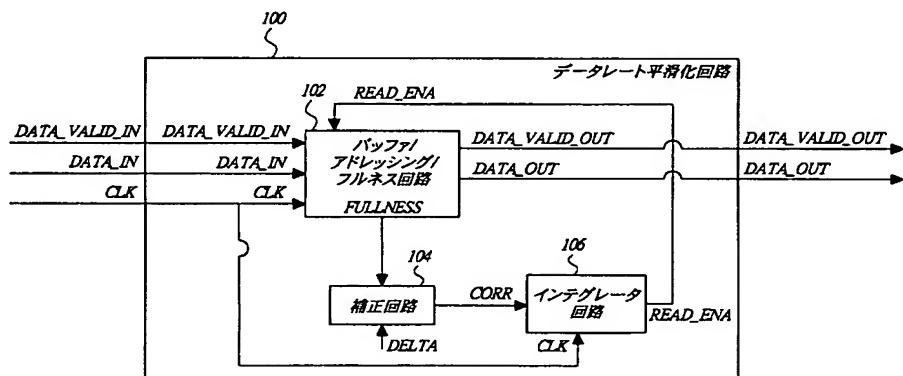
100	データレート平滑化回路
102	バッファ／アドレッシング／フルネス回路
104	補正回路
106	インテグレータ回路

10

11

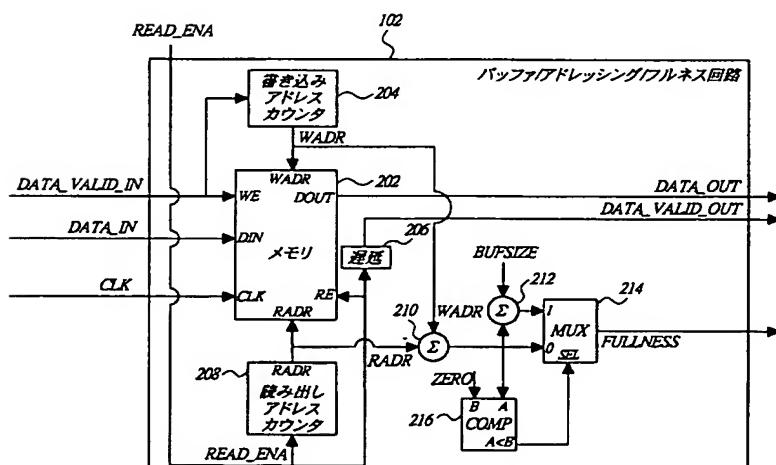
【図1】

図1



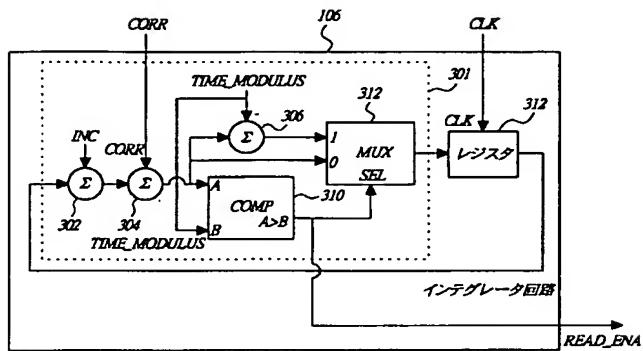
【図2】

図2



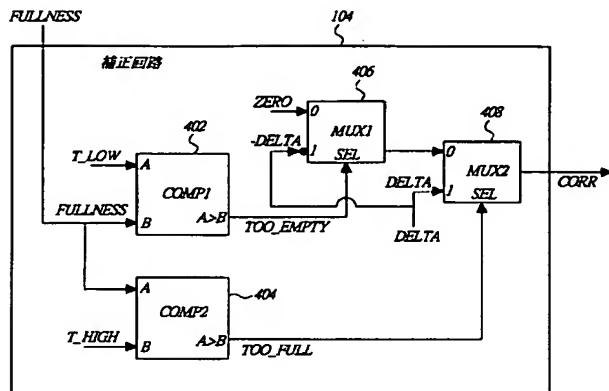
【図3】

図3



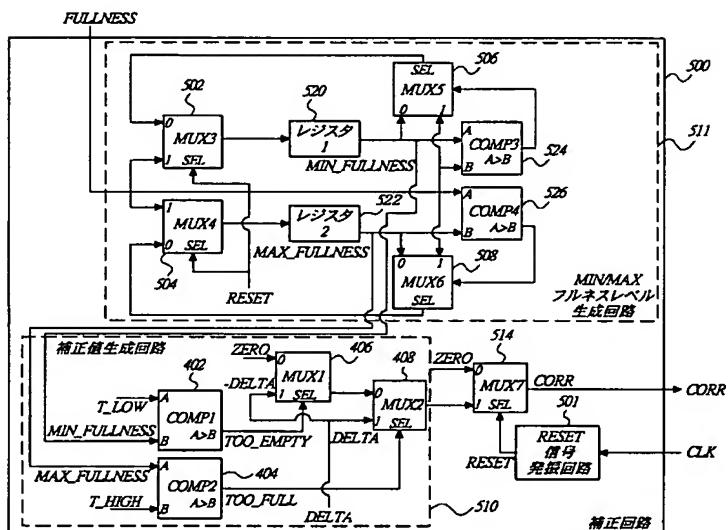
【図4】

図4



【図5】

図5



【外国語明細書】

1. TITLE OF INVENTION

METHODS AND APPARATUS FOR SMOOTHING THE DATA RATE OF A DIGITAL DATA STREAM

2. CLAIMS

1. An apparatus for processing a digital data stream having a variable short term data rate and an average data rate, the short term data rate differing from the average data rate during different periods of time, the apparatus comprising:

 a multi-port memory capable of supporting simultaneous write and read operations;

 a write control circuit for controlling the writing of data received from said digital data stream into the multi-port memory as it is received; and

 a read control circuit for controlling the reading of data from the multi-port memory at a read rate which is closer to the average data rate than the write data rate.

2. The apparatus of claim 1,

 wherein the write control circuit includes:

 a write address counter for generating a memory write address in response to the receipt of data from said digital data stream.

3. The apparatus of claim 1,

 wherein the multi-port memory is a dual ported memory; and

 wherein the read control circuit includes a numerical integrator for generating a read enable signal as a function of memory itineraries.

4. The apparatus of claim 3, wherein the read control circuit further includes:

a correction circuit for supplying a read rate correction signal to the numerical integrator, the read rate correction signal being generated as a function of memory fullness information and a delta value used to make adjustments to the rate at which data is read from the memory.

5. The apparatus of claim 4, wherein the read control circuit further comprises:

a read address generator for generating a read address in response to said read enable signal.

6. The apparatus of claim 5, wherein said read address generator is a modulo counter.

7. The apparatus of claim 5, further comprising:

a delay element for outputting a signal indicating that valid data is being output by said memory, the delay element receiving the read enable signal and outputting the received signal, as said signal indicating that valid data is being output, one clock cycle after the read enable signal is received.

8. The apparatus of claim 5, wherein the dual ported memory includes a write enable input for receiving a signal indicating when data from said digital data stream is being supplied to a data input of said dual ported memory.

9. The apparatus of claim 8, wherein the write address counter includes an input for receiving said signal indicating when data from said digital data stream is being supplied, the write address generator incrementing a write address value stored in said counter once during each clock cycle in which said signal indicating when data from said digital data stream is being supplied is asserted.

10. The apparatus of claim 4,

wherein the read control circuit includes means for determining minimum and maximum buffer fullness values indicative of the minimum and maximum amounts of memory fullness in a selected time interval.

11. A method of processing a stream of non-uniformly spaced digital data units to produce a processed stream of digital data units having more uniform spacing between digital data units than the stream of non-uniformly spaced data units, the method comprising the steps of:

receiving digital data units from said stream of non-uniformly spaced digital data units;

writing the received digital data units into a multi-port memory at the rate at which the digital data units are received, the multi-port memory supporting simultaneous read and write operations; and

reading data units from the multi-port memory at more uniform time intervals, on average, than the time intervals at which data was written into the multi-port memory, the data read out of the multi-port memory forming said processed stream of digital data units.

12. The method of claim 11, further comprising:

incrementing a write address counter used to generate a memory write address each time a data unit is received from said stream of data units.

co-uniformly spaced digital data units.

13. The method of claim 11, further comprising:

generating an indicator of the amount of data stored in the multi-port memory; and

generating memory read enable signals as a function of the amount of data indicated to be stored in the multi-port memory.

14. The method of claim 13, wherein said indicator indicates a degree of memory fullness.

15. The method of claim 13, wherein generating memory read enable signals includes:

operating a numerical integrator to produce said read enable signals as a function of said indicator.

16. The method of claim 15, wherein generating memory read enable signals further includes:

determining the minimum amount of memory fullness to occur in at least one time period of a fixed duration.

17. The method of claim 16, wherein generating memory read enable signals further includes:

determining the maximum amount of memory fullness to occur in at least one time period of a fixed duration.

18. The method of claim 17, further comprising the step of:

adjusting the rate at which read enable signals are generated by said integrator circuit as a function of a comparison of the indica

ter to said maximum amount of memory fullness and said minimum amount of memory fullness.

19. The method of claim 13, further comprising:

generating from at least one of said read enable signals a signal indicating that valid data is being output from said multi-port memory.

20. The method of claim 19, further comprising:

supplying a signal to a write enable input of the multi-port memory enabling the writing of data into the dual ported memory each time a data unit is received from said stream of non-uniformly spaced digital data units.

21. The method of claim 20, wherein each digital data unit includes the same fixed number of bits, said number of bits being greater than 1.

22. A system for processing a stream of non-uniformly spaced digital data units to produce a processed stream of digital data units having more uniform spacing between digital data units than the stream of non-uniformly spaced data units, the system comprising:

a memory device capable of supporting both read and write operations at the same time;

means for writing digital data units into said memory device as they are received from said stream of non-uniformly spaced digital data units; and

means for reading data units from the dual ported memory at more uniform time intervals, on average, than the time intervals at which said data are written into said memory device, the data read out of the

e memory device forming said processed stream of digital data units.

23. The system of claim 22, further comprising:

means for determining the amount of data stored in said memory device; and

means for generating a memory read enable signal as a function of the amount of data stored in said memory device.

24. The system of claim 22, further comprising:

means for incrementing a write address counter used to generate a memory write address each time a data unit is received from said stream of non-uniformly spaced digital data units.

3. DETAILED DESCRIPTION OF INVENTION

Field of the Invention

The present invention relates to methods and apparatus for processing digital data and, more particularly, to methods and apparatus for smoothing the data rate of a digital data stream, e.g., a data stream having a fixed average data rate but a variable short term data rate.

Background

In the modern age of digital communications and digital signal processing, data is often transmitted as a digital data stream. In many cases, the data rate of the digital data stream is, on average, relatively constant. However, because of different processing rates of the staggered output of various circuits used to process and/or generate the data stream, the short term or instantaneous data rate of a data stream

may vary significantly from moment to moment.

For example, a circuit, such as an error-correction circuit, may output data in a stuttered fashion due to clock enables, framing structures, etc. Subsequent circuits used to process the data stream output by the error-correction circuit, e.g., a media-access controller, may expect data bytes at a uniform or constant rate to support timing references.

When stuttered data is being output by a circuit, data, e.g., bytes, may not be output for many clock cycles, and then data may be put out at too fast a rate for processing by subsequent circuits. This can create problems despite the fact that, on average, the data rate may be correct for the subsequent circuits and constant over a period of time.

In view of the above discussion, it is apparent that there is a need for methods and apparatus which can be used to transform a digital data stream having a variable short term data rate into a data stream having a relatively smooth data rate, e.g., a short as well as long term data rate which equals or approximates the average data rate of the original variable rate data stream.

In order to facilitate the implementation of data rate smoothing devices using integrated circuits, it is desirable that analog circuitry, such as phase lock loop (PLL) circuits, be avoided.

Accordingly, there is a need for methods and apparatus for implementing data rate smoothing circuits in the digital domain, e.g., via

that the use of analog circuitry.

SUMMARY OF THE INVENTION

The present invention is directed to methods and apparatus for smoothing the data rate of a digital data stream, e.g., a data stream having a fixed average data rate but a variable short term data rate.

In accordance with the present invention, data is stored in a memory device, e.g., a dual ported memory, used as a buffer as it is received, e.g., in byte or word units. The stored data is then read out at relatively even time intervals thereby producing a data stream having a smooth data rate from a variable rate input data stream.

In one exemplary embodiment data, e.g., bytes or words, are written into the buffer memory as it arrives. A numerical integrator is used to produce read enables at the correct average rate which may be determined by observing the rate of the input data stream as evidenced by the amount of data in the buffer over a period of time, e.g., one or more fixed time intervals. The exact average interval of read enables required to produce the average data rate as the buffer output data rate may be difficult to produce with a numerical integrator, e.g., because of numerical precision limitations. In one particular embodiment, a correction circuit is used to periodically speed up or slow down the reading process to bring the output data rate to, or close to, the average data rate.

By using a dual ported memory as a data buffer, a numerical integrator to control the output data rate as a function of the input da

ta rate, e.g., as indicated by the degree of buffer fullness, and using relatively straightforward read/write buffer address generation circuitry, the apparatus of the present invention is able to generate a smoothed data stream, e.g., a data stream having a constant or near constant data rate, from a data

stream having a variable short term data rate but a fixed or relatively constant long term data rate.

Additional features, embodiments and benefits of the methods and apparatus of the present will be discussed below in the detailed description that follows.

DETAILED DESCRIPTION

The present invention relates to methods and apparatus for performing data rate smoothing operations.

Figure 1 shows an exemplary data rate smoothing circuit 100 implemented in accordance with the present invention. The smoothing circuit 100 comprises a buffer/addressing/fullness (BAF) circuit 102, a numerical integrator circuit 106 and a correction circuit 104 coupled together as illustrated in Fig. 1.

Data is supplied at the DATA_IN input of the smoothing circuit's BAF circuit 102 at non-uniform intervals, but at a predictable, fixed, or generally fixed average rate. In this context, the phrase average rate refers to a data rate measured over a preselected period of time, e.g., several seconds which is sufficient for brief differences in the short term data rates to, for the most part, average out over the measur

ement time period. The smoothing circuit 100 is used to smooth, e.g., even out, the time spacing between units of transmitted data to thereby generate an output data stream having a fixed or almost fixed data rate. The fixed or almost fixed output data rate will normally be the same or approximately the same as the average data rate of the input data stream.

The BAF circuit 102 buffers received data in a buffer included therein; generates write addresses used to store the received data in the buffer and read addresses used to read stored data from the buffer.

The BAF circuit 102 also monitors the amount of data in the buffer to determine the buffer fullness. The BAF circuit 102 includes a DATA_VALID_IN input, a DATA_IN input, a clock CLK input, and a read enable READ_ENA signal input. It also includes a DATA_VALID_OUT output, a DATA_OUT output and a FULLNESS output. The CLK signal is a timing signal used to drive the various data rate smoothing circuit components 102, 104, 106 and circuitry included in these components. The DATA_VALID_IN input is used for receiving a signal indicating when data supplied to the DATA_IN input is valid. The READ_ENA signal is a read enable signal generated by the integrator circuit 106 which is used to control, in a selected manner, the reading of output data from the BAF circuit 102. The FULLNESS signal, which indicates the fullness of the BAF circuit's buffer, is supplied to the correction circuit 104 and is used in determining when the READ_ENA signal is asserted. Accordingly, the generated read enable signal is a function of the buffer fullness measure.

Data read out of the BAF circuit's buffer is output via the DATA_OUT output which also serves as the data output of the data rate smoothing circuit 100. To provide an indicator of when valid data is being

g output via the DATA_OUT output, the BAF circuit 102 generates a DATA_VALID_OUT signal which is asserted when the DATA_OUT output contains valid data.

As will be discussed in detail below, data, e.g., bytes, are written into the BAF circuit's buffer memory as it arrives. The numerical integrator circuit 106 is used to produce read enables, e.g., the signal READ_ENA, at the correct average rate. Because the exact average interval of read enables may be difficult to produce with a numerical integrator, e.g., because of limited numerical precision, the correction circuit 104 is used to periodically speed up or slow down the reading process, e.g., by an amount expressed in the form of a fixed input value DELTA.

An exemplary BAF circuit 102 is shown in Figure 2. The BAF circuit 102 comprises a multi-port, e.g., dual ported, memory 202, read and write address generators, e.g., read and write address counters 208, 204, respectively, and circuitry for calculating the instantaneous buffer fullness. The illustrated circuitry for calculating buffer fullness includes first and second summers 210, 212, a comparator 216 and a multiplexer (MUX) 214. The BAF circuit 102 may also include one or more delay elements used to synchronize the signals. In the Fig. 2 embodiment, a delay 206 is used to synchronize the read enable signal READ_ENA coming into the BAF circuit 102 to produce, one clock cycle after the read enable signal is asserted, an asserted DATA_VALID_OUT signal. Thus, the DATA_VALID_OUT signal will be asserted coincident with the reading out of data from the buffer memory 202.

The read-address generator 208 and write-address generator 2

04 are similar circuits. They are incrementers or counters that sequentially count models the buffer size. That is, if a memory used to implement buffer 202 contains BUFSIZE positions, the counter will count, for example, from zero to (BUFSIZE-1); upon reaching (BUFSIZE-1), the counter will then reset to zero, and continue incrementing from there. Each of the write and read address generators is incremented for each clock cycle at which its associated enable is asserted. Thus, the write-address counter 204 is incremented if a write-enable in the form of a DATA_VALID_IN input signal is asserted. The read-address counter 208 is incremented if the read-enable signal READ_ENA is asserted. In this way, data are written to or read from locations in the memory 202, sequentially. Since a dual ported memory 202 is used, data may be written to and read out from the memory at the same time.

The instantaneous buffer fullness indicator value, in the form of the signal FULLNESS, is calculated by subtracting the read address RADR from the write address WADR. This subtraction is performed modulo the buffer (memory 202) size BUFSIZE. The signal FULLNESS serves as an indicator of the amount of data in the memory 202.

The model's subtraction to generate the value FULLNESS is shown in Figure 2 being performed using first and second summers 210, 212, comparator 216 and MUX 214. The first summer 210 calculates the difference between WADR and RADR by subtracting from the value WADR, supplied to a first input, the value RADR supplied to a subtracting input of the summer 210. The difference (WADR-RADR) generated by the first summer 210 is supplied to a first input of the second summer 212, an A input of comparator 216, and to a second input 0 of the MUX 214. The second summer 212 sums the difference (WADR-RADR) to the buffer size which is set, e.

g., at the time the size of the memory 202 is fixed. The output of the second summer 212 is supplied to a first input 1 of MUX 214.

When the difference (WADR-RADR) is greater than or equal to zero, the output (A < B) of the comparator 216 is deasserted, and the multiplexer 214 selects input zero, which is the difference (WADR-RADR) to be used as the output value FULLNESS. When the difference (WADR-RADR) is less than zero, the output (A < B) of the comparator 216 is asserted, and the multiplexer 214 selects input one, which is the difference (WADR-RADR+BUFSIZE) to be used as the output value FULLNESS. In the above described manner, the FULLNESS calculated is constrained between zero and (BUFSIZE-1).

An exemplary numerical integrator circuit 106 suitable for use in the data rate smoothing circuit 100 of Fig. 1 is shown in Figure 3. The integrator circuit 106 comprises a register 312 and a modulo adder 301. The register 312 is used for storing the results of the modulo addition and for supplying the results back to an input of the modulo adder 301.

The modulo adder 301 includes a first summer 302, second summer 304, third summer 306, comparator 308 and a multiplexer 310. The first summer 302 adds a fixed increment (INC) each clock cycle to the modulo adder's previous output value obtained from register 312. Thus, a fixed increment (INC) is added each clock cycle, but when the integrated, e.g., accumulated, sum exceeds some threshold, e.g., the preselected threshold TIME_MODULUS, the threshold TIME_MODULUS is subtracted so that the integrated results are controlled to be within a defined range. In order to enhance the integrator 106, a second summer 304 is incorporated in

are the module adder 301 following the first summer 302. The second summer 304 receives as its input the output of the first summer 302 and a correction value in the form of a signal, CORR, which can represent a positive or negative value. The correction signal CORR, provided by correction circuit 104, is added by the second summer 304 to the accumulated sum produced by the first summer 302. In this manner, a new accumulated sum, i.e., a corrected accumulated sum is generated. Thus, the CORR signal can be used to modify the accumulated sum subjected to the module operation. Accordingly, the correction signal CORR can be used to speed up or slow down the integration being performed by integrator 106, and therefore adjust the outputting of the read enables. The sum produced by the second summer 304 is supplied to the first (A) input of the comparator 308 and to an adding input of the third summer 306 while the TIME_MODULUS threshold is supplied to a subtracting input of summer 306 and a second (B) input of comparator 308.

The third summer 306 is used to subtract the threshold TIME_MODULUS from the accumulated sum output by the second summer 304. The resulting value is supplied to a first (1) input of MUX 310 which receives the output of the second summer 304 at its second (0) input.

The comparator 308 compares the accumulated sum output by the second summer 304 to the threshold TIME_MODULUS and asserts its output signal when the sum exceeds the threshold. The output of the comparator 308 is used as both a READ_ENA signal supplied to the BAF circuit 102 and the select input SEL of MUX 310. The MUX 310 determines whether the output of the third summer 306 or the output of the second summer 304 will be stored in register 312 for use in generating the next accumulated sum.

The range of possible accumulated values stored in the register 312 is limited by the threshold TIME_MODULUS. The threshold may be set, e.g., at implementation time by supplying the subtracting input of summer 306 with a fixed value. The value selected for the threshold TIME_MODULUS typically relates to the counter system being used in the integrator circuit 106. When the threshold TIME_MODULUS is exceeded, the read-enable signal READ_ENA is asserted. For example, if the average output rate is once every eight clock times, the increment could be 0.125, and the TIME_MODULUS 1.0, so that, after eight clock ticks, (assuming a CORR value of 0) the integrator reaches the value of 1.0, a value of 1.0 is subtracted, a read-enable is produced, and so on.

A first exemplary circuit 104 for generating the correction signal CORR is shown in Fig. 4. As illustrated, the correction circuit 104 comprises first and second comparators 402, 404, and first and second multiplexers MUXes 406, 408.

The correction signal CORR is based upon buffer fullness information obtained in the form of the signal FULLNESS. If the buffer fullness falls below a first threshold T_LOW, the buffer is declared to be too empty, and the read enables should be retarded, e.g., by producing a negative correction signal. If the buffer fullness exceeds T_HIGH, the buffer is declared to be too full, and we want to advance the read enables, e.g., by generating a positive correction signal. If the buffer fullness neither falls below T_LOW nor exceeds T_HIGH, a zero correction signal is produced.

The FULLNESS signal is supplied to the second (B) input of t

be first comparator 402 and to a first input (A) of the second comparator 404. The fullness, as indicated by the value of the signal FULLNESS, is compared with two set, e.g., preselected, thresholds: T_LOW and T_HI GH. The first comparator 402 compares the value T_LOW, supplied to its first (A) input, to the value FULLNESS supplied to its B input. If the threshold T_LOW exceeds the value FULLNESS, the first comparator 402 asserts its output TOO_EMPTY which is supplied to the select input of the first MUX 406.

The correction signal CORR output by the correction circuit 104 is generated by the pair of multiplexers 406, 408 operating together. The second MUX 408 outputs the actual CORR signal. As a result of the inputs to the first and second MUXes 406, 408, the CORR signal can assume either a zero value, a positive value (DELTA), or a negative value (-DELTA). Generation of the CORR signal occurs as follows. If FULLNESS is less than T_LOW, the (A>B) output TOO_EMPTY of the first comparator 402 is asserted, and the first multiplexer 406 selects input 1, which is the set value negative DELTA to be output, where DELTA is a positive value; otherwise (e.g., when TOO_EMPTY is not asserted) the first multiplexer 406 selects input 0, which is zero. The output of the multiplexer 406 is fed to a first (0) input of the second multiplexer 408. If FULLNESS is greater than T_HIGH, the (A>B) output TOO_FULL of the second comparator 404 will be asserted, causing the second multiplexer 408 to select the second (1) input, which is the value DELTA to be output. Otherwise, e.g., when TOO_FULL is not asserted, the second multiplexer 408 outputs the zero or minus DELTA value generated by the first multiplexer 406 as the CORR signal output.

Fig. 5 illustrates a second exemplary correction circuit 500

which may be used in the data rate smoothing circuit 100 in place of correction circuit 104. In the correction circuit 500 buffer fullness, as indicated by the signal FULLNESS, is monitored over some predetermined period, e.g., a fixed number of clock cycles. During this period, the overall minimum and maximum values of the buffer fullness are found. At the end of the period, the minimum value of buffer fullness is compared with the threshold T_LOW, and the maximum value of buffer fullness is compared with the threshold T_HIGH, and the correction signal, CORR, is generated based on comparisons in a manner that is similar to that used to produce the correction signal CORR in the Fig. 4 embodiment.

The correction circuit 500 comprises a RESET signal generator circuit 501, a correction value generation circuit 510, a MIN/MAX fullness level generation circuit 511, and a seventh multiplexer 514. The RESET signal generation circuit 501 periodically generates, e.g., asserts, a RESET signal used to control the MIN/MAX fullness circuit 511 and the seventh MUX 514. The RESET signal generation circuit 501 is driven by the clock signal CLK used to control timing in the various components of the data rate smoothing circuit and may be implemented using a simple counter that triggers the periodic assertion of the RESET signal.

The correction value generation circuit 510 includes components, e.g., first and second comparators 402, 404 and first and second multiplexers 406 and 408 which are arranged in a manner that is the same as, or similar to, the manner in which the same components are configured to implement the correction circuit 104. Note however that a MIN_FULLNESS signal is supplied to the second input of the first comparator 402 and a MAX_FULLNESS signal is supplied to the first input of the second comparator 404, in contrast to the single FULLNESS signal supplied to both

of these inputs in the Fig. 4 embodiment. As will be discussed below, the min/max fullness level generation circuit 501 is responsible for generating the MIN_FULLNESS and MAX_FULLNESS signals supplied to the correction value generation circuit 500.

In order to support resetting of the correction circuit 500, e.g., in response to the RESET signal, the seventh multiplexer 514 is used to couple the output of the correction value generation circuit 500 to the CORR signal output of the correction circuit 500. A first (0) input of the seventh MUX 514 receives as its input the value zero while the second input of the MUX 514 receives the correction value signal produced by the correction value generation circuit's second multiplexer 408. When the reset signal is asserted, the seventh MUX 514 will output the correction value generated by the correction value generation circuit 500 while at other times it will output the value 0 supplied to the MUX's first input. In this manner, the CORR signal is allowed to assume a non-zero value only at the end of each analysis period, e.g., for a single clock cycle when the RESET signal is asserted.

The MIN/MAX fullness level generation circuit 501 includes four MUXes MUX 3, MUX 4, MUX5 and MUX 6 502, 504, 506, 508; two registers 520, 522; and two comparators 524, 526 which are coupled together as illustrated in Fig. 5. The two registers 520, 522 are used to store the determined minimum and maximum buffer fullness, respectively, during each predetermined analysis time period. Thus, at the beginning of the period, these registers 520, 522 are both reset to include the initial instantaneous fullness via multiplexers 3 and 4 502, 504. These multiplexers 502, 504 have their select inputs SEL set high by the periodic RESET signal which causes the multiplexers 502, 504 to select the current buffer

fullness FULLNESS to be output to the first and second registers 520, 522. During the rest of the evaluation period, the third and fourth multiplexers 502 and 504 select the outputs of the fifth and sixth multiplexers 506, 508, respectively, to be supplied to the first and second registers 520, 522, respectively.

The output of the first register 520, the minimum fullness MIN_FULLNESS, is compared with the current FULLNESS by the third comparator 524. If the current fullness is less than MIN_FULLNESS, the (A>B) output of the third comparator 524 is asserted, which causes the fifth multiplexer 506 to select the current fullness FULLNESS as its output. This causes the current fullness value to become the next MIN_FULLNESS stored in register 520. If the current fullness is greater than or equal to MIN_FULLNESS, the (A>B) output of the third comparator 524 is deasserted, causing the fifth multiplexer 506 to select the MIN_FULLNESS output by the first register 520 as its output. In such a case, the current MIN_FULLNESS value becomes the next MIN_FULLNESS.

The output of the second register 522, the maximum fullness value MAX_FULLNESS, is compared with the current FULLNESS by the fourth comparator 526. If the current fullness is greater than MAX_FULLNESS, the (A>B) output of the fourth comparator 526 is asserted, which causes the sixth multiplexer 508 to select the current fullness value FULLNESS as its output. In such a case, the current FULLNESS value becomes the next MAX_FULLNESS. If the current fullness is less than or equal to MAX_FULLNESS, the (A>B) output of the fourth comparator 526 is deasserted causing the sixth multiplexer 508 to select the MAX_FULLNESS value as its output. In such a case, the current MAX_FULLNESS value becomes the next MAX_FULLNESS.

At the end of the evaluation period, the maximum and minimum fullness registers are compared with the thresholds T_LOW and T_HIGH via the first and second comparators 402, 404 of the correction value generation circuit 510. Depending upon these signals, a zero, negative delta or positive delta is switched in as the correction value, via the first and second multiplexers 406, 408. The seventh multiplexer 514 which controls the ultimate output of the correction circuit 500, the signal CORR, ensures that the delta (correction signal) is switched on for, at most, one clock time per evaluation period, e.g., at the end of the evaluation period. At other times, zero is switched in by the seventh multiplexer 514 and used as the output signal CORR.

The methods and apparatus of the present invention can be used in a wide variety of devices including, e.g., cable modem integrated circuits. In a cable modem the data rate smoothing circuit of the present invention can be used to process non-uniformly spaced data byte outputs from a forward-error correction (FEC) circuit at the back end of a downstream demodulator, and produce therefrom uniformly-spaced bytes for use by, e.g., a media-access control (MAC) portion of a downstream receiver.

While various components of the data rate smoothing circuit of the present invention have been described as being implemented as circuits, it is to be understood that the data rate smoothing circuit of the present invention can be implemented using software and a general purpose processor executing said software to perform the memory access, reading rate and write rate control operations performed by the various components of circuit 100. For example, a correction software module and an

integrator software module, executed by a CPU, may be used to perform the functions of the correction circuit 104 and integrator circuit 106, respectively. Additional software modules may be used to perform the address and fullness determination functions of the buffer/addressing/fullness circuit. Accordingly, one embodiment of the present invention is directed to a data rate smoothing device that uses software, a CPU and a memory device, e.g., a dual ported memory, to perform the data rate smoothing method of the present invention.

While the invention has been described as including a memory BAF circuit 102 including memory and other circuitry, a correction circuit 104 and an integrator circuit 106, the circuitry used to implement the data rate smoothing circuit 100 could be described as including various circuits where the grouping of circuit elements is determined according to the functions the individual circuits perform. In such a case, circuits which contribute to generating write addresses such as write address counter 204 could be characterized as being part of a write address circuit while circuitry which contributes to the generation of read addresses and read enable signals, e.g., read address counter 208, correction circuit 104 and integrator circuit 106, may be characterized as being part of a read control circuit.

4. BRIEF DESCRIPTION OF DRAWINGS

Fig. 1 illustrates a data rate smoothing circuit implemented in accordance with an exemplary embodiment of the present invention.

Fig. 2 illustrates an exemplary buffer/address/fullness circuit that can be used to perform buffering, read/write addressing and buffer fullness determination operations in the data rate smoothing circuit

of Fig. 1.

Fig. 3 illustrates an integrator circuit suitable for use in the data rate smoothing circuit of Fig. 1.

Fig. 4 illustrates a first exemplary correction circuit suitable for use in the data rate smoothing circuit of Fig. 1.

Fig. 5 illustrates a second exemplary correction circuit suitable for use in the data rate smoothing circuit of Fig. 1.

【図1】

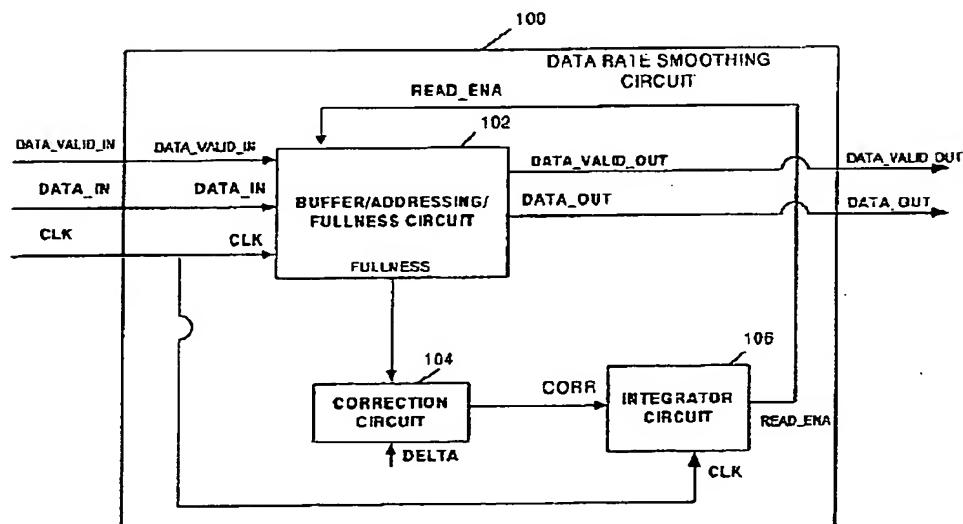


FIGURE 1

【図2】

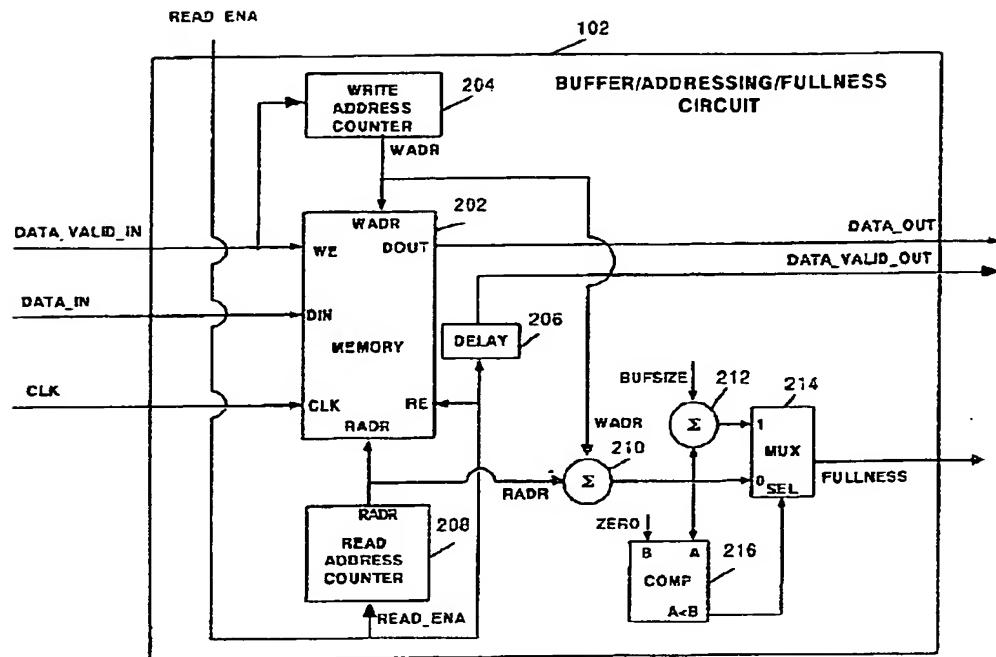


FIGURE 2

【図3】

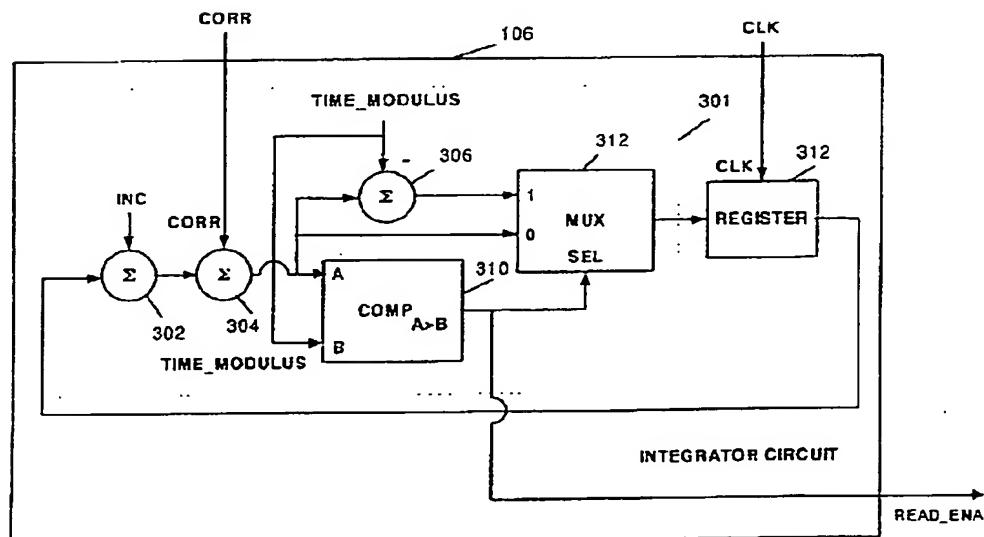


FIGURE 3

【図4】

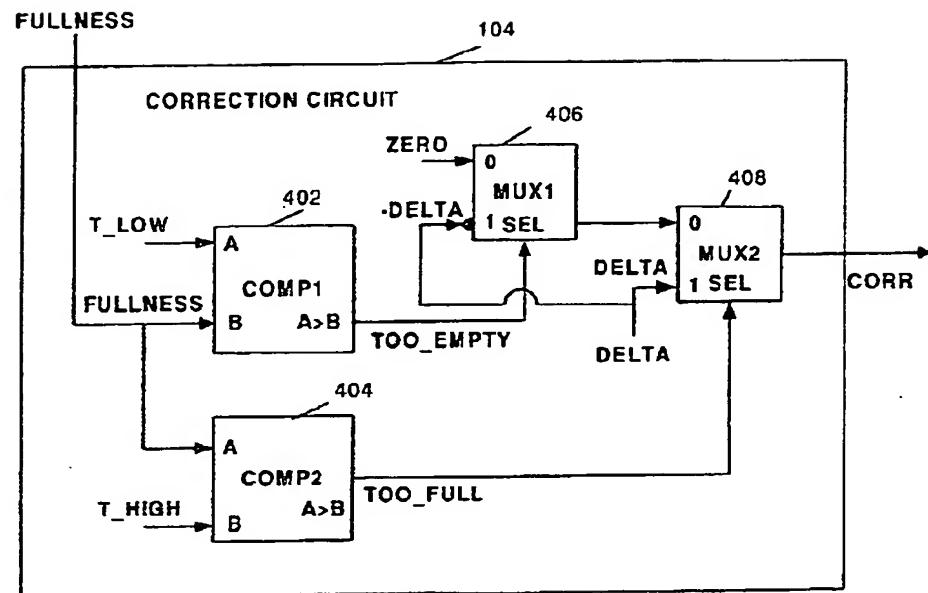


FIGURE 4

[図5]

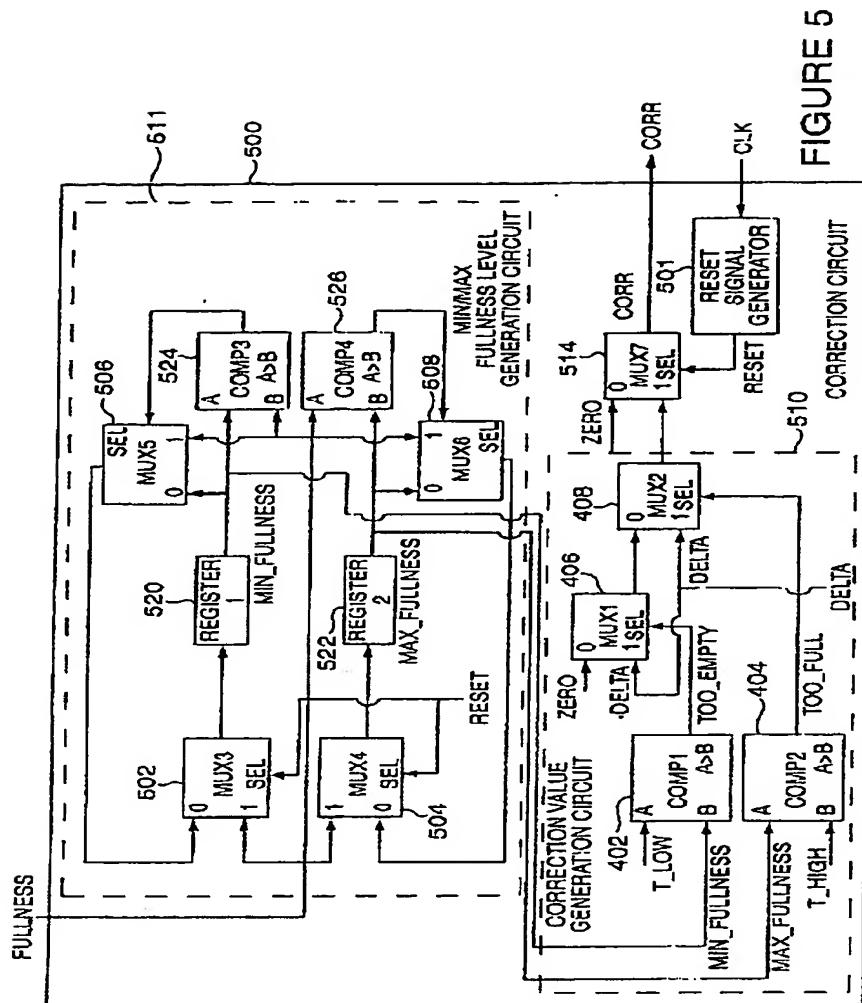


FIGURE 5

1. ABSTRACT

Methods and apparatus for implementing fully digital data rate smoothing devices are described. Data is written into a buffer memory as it arrives, e.g., at unpredictable intervals. Data is then read out at relatively even time intervals thereby producing a data stream having a smooth data rate from an input data stream having a variable short term data rate. By using a dual ported memory as a data buffer, a numerical integrator to control the output data rate as a function of the input data rate, e.g., as indicated by the degree of buffer fullness, and using relatively straight forward read/write buffer address generation circuitry, the apparatus of the present invention is able to generate a smoothed data stream, e.g., a data stream having a constant or near constant bit rate, from a data stream having a variable short term bit rate.

2. REPRESENTATIVE DRAWINGS

Fig. 1

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.